

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-198823

(43)Date of publication of application : 06.08.1993

(51)Int.Cl.

H01L 29/788

H01L 29/792

G11C 16/02

G11C 16/04

H01L 21/302

(21)Application number : 04-029097

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 21.01.1992

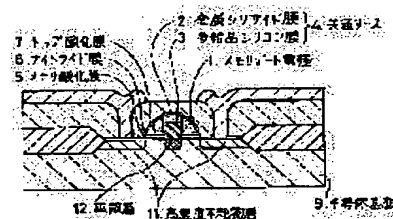
(72)Inventor : KISHI TOSHIYUKI

(54) SEMICONDUCTOR NONVOLATILE STORAGE ELEMENT, METHOD OF MANUFACTURING THAT AND METHOD OF WRITING

(57)Abstract:

PURPOSE: To realize a semiconductor nonvolatile storage element, which can be increased integration, by a method wherein a common source is constituted of the laminated film of a polycrystalline silicon film and a metal silicide film, a low-resistance polycrystalline silicon film or the like and is made low-inresistance.

CONSTITUTION: A common source 4 consisting of the laminated film of a metal silicide film 2 and a polycrystalline silicon film 3 is provided and a memory gate electrode 1 is provided on the sides of both sidewalls of the source 4. High-doped layers 11 which are used as drains are provided in parts, which are situated under the matched regions of the source 4 with the electrode 1, of a semiconductor substrate 9 and a diffused layer 12, through which this source 4 is connected with the substrate 9, is provided in the substrate 9 under the source 4. Accordingly, as a nonvolatile storage element is constituted of the laminated film of the film 2 and the film 3 as the source 4, it can be formed as a low-resistance common source compared with a conventional common source and can be microminiaturized.



LEGAL STATUS

[Date of request for examination]

28.12.1998.

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3198141

[Date of registration]

08.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor non-volatile storage element characterized by having the common source which consists of polycrystalline silicon film linked to the diffusion layer of the 2nd conductivity type prepared in the component field of the semi-conductor substrate of the 1st conductivity type, and metal silicide film, and the memory gate electrode prepared in the side attachment wall of this common source.

[Claim 2] The semi-conductor non-volatile storage element characterized by having the common source which consists of polycrystalline silicon film linked to the diffusion layer of the 2nd conductivity type prepared in the component field of the semi-conductor substrate of the 1st conductivity type, and the memory gate electrode prepared in the side attachment wall of this common source.

[Claim 3] The process which forms field oxide in the field field around the component field of the semi-conductor substrate of the 1st conductivity type, forms the polycrystalline silicon film and the metal silicide film in the whole surface, and forms a common source with a photoetching technique, With the process which forms the three-layer insulator layer which consists of a memory oxide film, night RAIDO film, and a top oxide film, and forms the polish recon film in the whole surface, and an anisotropy dry etching technique The process which etches said polish recon film and forms a memory gate electrode in the both-sides wall of said common source, The process which forms a high concentration impurity layer in said component field of the adjusted field with said memory gate electrode, Heat-treat by forming the refractory metal film in the whole surface, and the silicon and said refractory metal film of said high concentration impurity layer are made to react. The process which the polish recon film and said refractory metal film of said memory gate electrode are made to react furthermore, and forms the silicide film, The process which removes said unreacted refractory metal film, and the process which forms the insulator layer for multilayer interconnections which makes the diacid-ized silicon film a subject, The manufacture approach of the semi-conductor non-volatile storage element characterized by having the process which forms a contact aperture in this insulator layer for multilayer interconnections with a photoetching technique, and the process which forms a wiring metal.

[Claim 4] The process which forms field oxide in the field field around the component field of the semi-conductor substrate of the 1st conductivity type, forms the polycrystalline silicon film and the metal silicide film in the whole surface, and forms a common source with a photoetching technique, With the process which forms the three-layer insulator layer which consists of a memory oxide film, night RAIDO film, and a top oxide film, and forms the polish recon film in the whole surface, and an anisotropy dry etching technique The process which etches this polish recon film and forms a memory gate electrode in the both-sides wall of said common source, The process which forms a high concentration impurity layer in said component field of the adjusted field with said memory gate electrode, The manufacture approach of the semi-conductor non-volatile storage element characterized by having the process which forms the insulator layer for multilayer interconnections which makes the diacid-ized silicon film a subject, the process which forms a contact aperture in this insulator layer for multilayer interconnections with a photoetching technique, and the process which forms a wiring metal.

[Claim 5] An approach to write in the semi-conductor non-volatile storage element characterized by

making a write-in electrical potential difference high enough to an informational read-out electrical potential difference.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure where high integration can be attained especially and the manufacture approach of a semi-conductor non-volatile storage element, and an approach to write in this semi-conductor non-volatile storage element, about an approach to write in a semi-conductor non-volatile storage element, its manufacture approach, and this semi-conductor non-volatile storage element.

[0002]

[Description of the Prior Art] Generally, since an MOS transistor is required, an MOS transistor and a memory transistor are formed in rewriting of the information on a non-volatile storage element, and read-out in the same component field. In the production process of this non-volatile storage element, the formation approach of the MOS gate electrode of an MOS transistor and the memory gate electrode of a memory transistor performs the gate electrode formation process described below.

[0003] The production process of the non-volatile storage element when forming an MOS gate electrode and a memory gate electrode is explained to the both sides of the common source in the conventional example using the sectional view of drawing 6 - drawing 9 .

[0004] As first shown in drawing 6 , a selective oxidation method is used for the field 15 of the semi-conductor substrate 9 of the 1st conductivity type, and field oxide 10 is formed in it. Next, gate oxide 20 is formed in the component field 14, and the 1st polycrystalline silicon film 21 is formed.

[0005] Next, as shown in drawing 7 , a resist 16 is formed and the MOS gate electrode 22 which consists this resist 16 of the 1st polycrystalline silicon film 21 with the so-called photoetching technique which etches the 1st polycrystalline silicon film 21 and gate oxide 20 into a mask is formed.

[0006] Then, as shown in drawing 8 , the memory oxide film 5, the night RAIDO film 6, and the top oxide film 7 that oxidized this night RAIDO film 6 are formed in the whole surface, and the 2nd polycrystalline silicon film 23 is further formed in the whole surface. Then, a resist 16 is formed on the 2nd polycrystalline silicon film 23.

[0007] Next, as shown in drawing 9 , the resist 16 formed so that it might lap with the MOS gate electrode 22 with a photoetching technique is used as a mask, and the memory gate electrode 1 which consists of the 2nd polycrystalline silicon film 23 is formed. Next, the high concentration impurity layer 11 of the 2nd conductivity type which serves as the source and a drain in the MOS gate electrode 22 and the memory gate electrode 1 at a mask is formed in the semi-conductor substrate 9, and a non-volatile storage element equipped with a memory transistor and an MOS transistor is formed. At this

time, the high concentration impurity layer 11 between two MOS gate electrodes 22 serves as a common source 24.

[0008]

[Problem(s) to be Solved by the Invention] Since an MOS transistor and a memory transistor are intermingled, high integration is difficult for this conventional semi-conductor non-volatile storage element. Moreover, although the common source 24 which consists of a high concentration impurity layer 11 is formed between the MOS gate electrodes 22, since this common source 24 is the diffusion layer formed into the semi-conductor substrate 9, if it is made detailed, it will serve as high resistance and will produce the technical problem are disadvantageous, to high integration.

[0009] The purpose of this invention is offering the structure and the manufacture approach of the semi-conductor non-volatile storage element which solved the above-mentioned technical problem and made high integration possible, and an approach writing in this semi-conductor non-volatile storage element.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in this invention, the structure and the manufacture approach of the semi-conductor non-volatile storage element the following publication, and an approach to write in this semi-conductor non-volatile storage element are adopted.

[0011] Structure of the semi-conductor non-volatile storage element of this invention is characterized by having the common source which consists of polycrystalline silicon film linked to the diffusion layer of the 2nd conductivity type prepared in the component field of the semi-conductor substrate of the 1st conductivity type, and metal silicide film, and the memory gate electrode prepared in the side attachment wall of this common source.

[0012] Structure of the semi-conductor non-volatile storage element of this invention is characterized by having the common source which consists of polycrystalline silicon film linked to the diffusion layer of the 2nd conductivity type prepared in the component field of the semi-conductor substrate of the 1st conductivity type, and the memory gate electrode prepared in the side attachment wall of this common source.

[0013] The manufacture approach of the semi-conductor non-volatile storage element of this invention The process which forms field oxide in the field field around the component field of the semi-conductor substrate of the 1st conductivity type, forms the polycrystalline silicon film and the metal silicide film in the whole surface, and forms a common source with a photoetching technique, With the process which forms the three-layer insulator layer which consists of a memory oxide film, night RAIDO film, and a top oxide film, and forms the polish recon film in the whole surface, and an anisotropy dry etching technique The process which etches the polish recon film and forms a memory gate electrode in the both-sides wall of a common source, The process which forms a high concentration impurity layer in the component field of the adjusted field with a memory gate electrode, The process which forms the refractory metal film in the whole surface, and perform the postheat treatment, make the silicon and the refractory metal film of a high concentration impurity layer react, and the polish recon film and refractory metal film of a memory gate electrode are made to react further, and forms the silicide film, It is characterized by having the process which removes the unreacted refractory metal film, the process which forms the insulator layer for multilayer interconnections which makes the diacid-ized silicon film a subject, the process which forms a contact aperture in the insulator layer for multilayer interconnections with a photoetching technique, and the process which forms a wiring metal.

[0014] The manufacture approach of the semi-conductor non-volatile storage element of this invention The process which forms field oxide in the field field around the component field of the semi-conductor substrate of the 1st conductivity type, forms the polycrystalline silicon film and the metal silicide film in the whole surface, and forms a common source with a photoetching technique, With the process which forms the three-layer insulator layer which consists of a memory oxide film, night RAIDO film, and a top

oxide film, and forms the polish recon film in the whole surface, and an anisotropy dry etching technique. The process which etches the polish recon film and forms a memory gate electrode in the both-sides wall of a common source, The process which forms a high concentration impurity layer in the component field of the adjusted field with a memory gate electrode, It is characterized by having the process which forms the insulator layer for multilayer interconnections which makes the diacid-ized silicon film a subject, the process which forms a contact aperture in the insulator layer for multilayer interconnections with a photoetching technique, and the process which forms a wiring metal.

[0015] An approach to write in the semi-conductor non-volatile storage element of this invention is characterized by making a write-in electrical potential difference high enough to an informational read-out electrical potential difference.

[0016]

[Example] The example of this invention is explained using a drawing below.

[0017] First, drawing 1 is used first and the structure of the semi-conductor non-volatile storage element in this invention is explained.

[0018] The common source 4 which consists of a cascade screen of the metal silicide film 2 and the polycrystalline silicon film 3 is formed. The memory gate electrode 1 is formed in the both sides of the side attachment wall of this common source 4. The high concentration impurity layer 11 used as a drain is formed in the semi-conductor substrate 9 of the adjusted field of this common source 4 and the memory gate electrode 1. Furthermore, the diffusion layer 12 which connects this common source 4 and the semi-conductor substrate 9 to the semi-conductor substrate 9 under a common source 4 is established. A common source 4 is also good to accept it polycrystalline silicon film 3.

[0019] Thus, in the constituted non-volatile storage element, as a common source 4, since it constitutes from a cascade screen of the polycrystalline silicon film 3, or the metal silicide 2 and the polycrystalline silicon film 3, compared with the common source formed in the conventional semi-conductor substrate, it can consider as low resistance, and detailed-izing is possible.

[0020] Moreover, since the memory insulator layer of the non-volatile storage element constituted in this way is constituted from three layer membranes of the memory oxide film 5, the night RAIDO film 6, and the top oxide film 7, it shows a memory property with the charge by which a trap is carried out into the night RAIDO film 6.

[0021] Therefore, the forbidden-band width of face of the silicon oxide which constitutes the memory oxide film 5 and the top oxide film 7 is large as compared with the forbidden-band width of face of the night RAIDO film 6. For this reason, the silicon oxide which is the memory oxide film 5 and the top oxide film 7 acts as an obstruction to an electron and an electron hole, when it sees from the night RAIDO film 6.

[0022] Therefore, by impressing the read-out electrical potential difference which is an electrical potential difference which writing does not produce to the memory gate electrode 1, and reading data, the MOS gate electrode which was the need conventionally becomes unnecessary, and high integration can be attained.

[0023] That is, an approach to write in the information on the semi-conductor non-volatile storage element of this invention is written in to an informational read-out electrical potential difference, makes an electrical potential difference sufficiently high, and performs it.

[0024] Next, the manufacture approach for forming this structure is explained. Drawing 2 - drawing 5 are the sectional views showing the manufacture approach for manufacturing the structure of the non-volatile storage element of this invention in order of a process.

[0025] As first shown in drawing 2, field oxide 10 is formed in the field field 15 around the component field 14 of the semi-conductor substrate 9 of the P type which is the 1st conductivity type by the thickness of 700nm by performing selective oxidation processing.

[0026] Next, the polycrystalline silicon film 3 which contained high-concentration Lynn (P) in the mono-silane ambient atmosphere by the chemical-vapor-deposition method (it is described as a CVD method

below) is formed in the whole surface by the thickness of about 300nm. Furthermore on this polycrystalline silicon film 3, the metal silicide film 2 which consists of tungsten silicide film by the sputtering method is formed by about 200nm thickness.

[0027] Next, a resist 16 is formed in the field which forms a common source 4. Then, it considers as the mask of etching of this resist 16, and the metal silicide film 2 and the polycrystalline silicon film 3 are etched by the dry etching using the mixed gas of sulfur hexafluoride (SF₆) and oxygen (O₂) as etching gas. Consequently, the common source 4 which consists of metal silicide film 2 and polycrystalline silicon film 3 is formed.

[0028] next, it is shown in drawing 3 -- as -- the gaseous mixture of oxygen and nitrogen -- oxidation treatment is performed in a body and the memory oxide film 5 which consists of diacid-ized silicon film with a thickness of about 2nm is formed. A diffusion layer 12 is formed in the semi-conductor substrate 9 by oxidation treatment which forms this memory oxide film 5. This diffusion layer 12 diffuses and forms an impurity in the semi-conductor substrate 9 from the polycrystalline silicon film 3 which includes Lynn in high concentration.

[0029] Next, the night RAIDO film 6 which consists of a silicon nitride film is formed by the thickness of about 9nm with a CVD method the whole surface on this memory oxide film 5.

[0030] Furthermore, oxidation treatment is performed in an oxidizing atmosphere, the night RAIDO film 6 is oxidized, and the top oxide film 7 is formed on this night RAIDO film 6.

[0031] Next, the polish recon film 17 is formed in the whole surface by the thickness of about 400nm with a CVD method in a mono-silane ambient atmosphere.

[0032] Next, as shown in drawing 4, it is SF₆ as etching gas. O₂ By the anisotropy dry etching using mixed gas, the polish recon film 17, the top oxide film 7, the night RAIDO film 6, and the memory oxide film 5 are etched.

[0033] Consequently, the memory gate electrode 1 which becomes the both sides of the side attachment wall of a common source 4 from the polish recon film 17 is formed.

[0034] Next, it is arsenic at the acceleration energy of 60keV(s) to a mask about a common source 4 and the memory gate electrode 1 4.0x10¹⁵ atoms/cm² By carrying out an ion implantation with the ion injection rate of extent, the high concentration impurity layer 11 used as the drain of the N type which is the 2nd conductivity type is formed in the semi-conductor substrate 9.

[0035] Next, the titanium (Ti) film is formed in the whole surface by the thickness of about 100nm by the sputtering method.

[0036] Then, heat-treat at the temperature of 600 degrees C in nitrogen-gas-atmosphere mind, the silicon of the titanium film and the semi-conductor substrate 9, and the titanium film and the polish recon of the memory gate electrode 1 are made to react, and the silicide film 8 is formed in the front face of the high concentration impurity layer 11 and the memory gate electrode 1.

[0037] Next, the unreacted titanium film is etched and removed using the mixed solution of ammonium hydroxide (NH₄ OH) and a hydrogen peroxide (H₂ O₂).

[0038] Next, a non-volatile storage element is obtained by forming the insulator layer 12 for multilayer interconnections which makes the diacid-ized silicon film a subject, as shown in drawing 5, forming the contact aperture 18 using a photoetching technique, and forming aluminum as a wiring metal 13.

[0039] In the example described so far, although what is constituted from metal silicide film 2 and polycrystalline silicon film 3 as a common source 4 was shown, it can also constitute only from a metal membrane, metal silicide film, and polycrystalline silicon film as a common source 4.

[0040] Moreover, although the example which forms the silicide film 8 of the titanium film in the high concentration impurity layer 11 and memory gate electrode 1 front face used as a drain explained, the non-volatile storage element which does not form the silicide film 8 but has the effectiveness as this invention only with same high concentration impurity layer 11 and memory gate electrode 1 can be obtained.

[0041]

[Effect of the Invention] this invention -- setting -- a common source -- the cascade screen of the polycrystalline silicon film and the metal silicide film -- low -- compared with the common source by the conventional diffusion layer, detailed-izing is possible by constituting from polycrystalline silicon film [****] etc. and considering a common source as low resistance. Furthermore, since a memory gate electrode is formed in the both sides of this common source by making a common source into self align, detailed-izing is more possible than formation of the memory gate electrode using the conventional HOTORISO technique. Moreover, by making a write-in electrical potential difference high enough to an informational read-out electrical potential difference, the MOS gate electrode which was the need conventionally becomes unnecessary, and high integration is easy. The above result, a formation process is easy and the non-volatile storage element which realizes high integration is obtained.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of the semi-conductor the non-volatized storage element in one example of this invention.

[Drawing 2] It is the sectional view showing the manufacture approach of of the semi-conductor the non-volatized storage element in one example of this invention.

[Drawing 3] It is the sectional view showing the manufacture approach of of the semi-conductor the non-volatized storage element in one example of this invention.

[Drawing 4] It is the sectional view showing the manufacture approach of of the semi-conductor the non-volatized storage element in one example of this invention.

[Drawing 5] It is the sectional view showing the manufacture approach of of the semi-conductor the non-volatized storage element in one example of this invention.

[Drawing 6] It is the sectional view showing the manufacture approach of the semi-conductor non-volatile storage element in the conventional example.

[Drawing 7] It is the sectional view showing the manufacture approach of the semi-conductor non-volatile storage element in the conventional example.

[Drawing 8] It is the sectional view showing the manufacture approach of the semi-conductor non-volatile storage element in the conventional example.

[Drawing 9] It is the sectional view showing the manufacture approach of the semi-conductor non-volatile storage element in the conventional example.

[Description of Notations]

- 1 Memory Gate Electrode
- 2 Metal Silicide Film
- 3 Polycrystalline Silicon Film

4 Common Source
5 Memory Oxide Film
6 Night RAIDO Film
7 Top Oxide Film
10 Field Oxide
11 High Concentration Impurity Layer
12 Diffusion Layer
17 Polish Recon Film

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-198823

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/788

29/792

G11C 16/02

9191-5L

H01L 29/78

371

G11C 17/00

307 D

審査請求 未請求 請求項の数5(全6頁) 最終頁に続く

(21)出願番号

特願平4-29097

(22)出願日

平成4年(1992)1月21日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 岸 敏幸

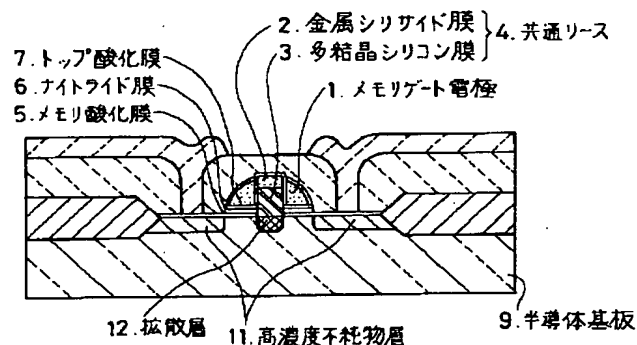
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内

(54)【発明の名称】 半導体不揮発性記憶素子とその製造方法と書き込み方法

(57)【要約】

【構成】第1導電型を有する半導体基板9の素子領域に設ける第2導電型の拡散層12に接続する多結晶シリコン膜3と金属シリサイド膜2とからなる共通ソース4と、この共通ソースの側壁に設けるメモリゲート電極1とを備える半導体不揮発性記憶素子およびその製造方法およびその書き込み方法。

【効果】従来の拡散層による共通ソースに比べ、低抵抗に抑えられ、微細化が可能である。さらにこの共通ソースを自己整合として両側にメモリゲート電極を形成するため、従来のホトリソ技術を用いた製造方法より微細化が可能である。



(2)

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の素子領域に設ける第2導電型の拡散層に接続する多結晶シリコン膜と金属シリサイド膜とからなる共通ソースと、該共通ソースの側壁に設けるメモリゲート電極とを有することを特徴とする半導体不揮発性記憶素子。

【請求項2】 第1導電型の半導体基板の素子領域に設ける第2導電型の拡散層に接続する多結晶シリコン膜からなる共通ソースと、該共通ソースの側壁に設けるメモリゲート電極とを有することを特徴とする半導体不揮発性記憶素子。

【請求項3】 第1導電型の半導体基板の素子領域の周囲のフィールド領域にフィールド酸化膜を形成し、全面に多結晶シリコン膜と金属シリサイド膜とを形成し、ホットエッチング技術により共通ソースを形成する工程と、メモリ酸化膜とナイトライド膜とトップ酸化膜とからなる三層絶縁膜を形成し、全面にポリシリコン膜を形成する工程と、異方性ドライエッチング技術により、前記ポリシリコン膜をエッチングし、前記共通ソースの両側壁にメモリゲート電極を形成する工程と、前記メモリゲート電極との整合した領域の前記素子領域に高濃度不純物層を形成する工程と、全面に高融点金属膜を形成し、熱処理を行い、前記高濃度不純物層のシリコンと前記高融点金属膜とを反応させ、さらに前記メモリゲート電極のポリシリコン膜と前記高融点金属膜とを反応させシリサイド膜を形成する工程と、未反応の前記高融点金属膜を除去する工程と、二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程と、ホットエッチング技術により該多層配線用絶縁膜にコンタクト窓を形成する工程と、配線金属を形成する工程とを有することを特徴とする半導体不揮発性記憶素子の製造方法。

【請求項4】 第1導電型の半導体基板の素子領域の周囲のフィールド領域にフィールド酸化膜を形成し、全面に多結晶シリコン膜と金属シリサイド膜とを形成し、ホットエッチング技術により共通ソースを形成する工程と、メモリ酸化膜とナイトライド膜とトップ酸化膜とからなる三層絶縁膜を形成し、全面にポリシリコン膜を形成する工程と、異方性ドライエッチング技術により、該ポリシリコン膜をエッチングし、前記共通ソースの両側壁にメモリゲート電極を形成する工程と、前記メモリゲート電極との整合した領域の前記素子領域に高濃度不純物層を形成する工程と、二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程と、ホットエッチング技術により該多層配線用絶縁膜にコンタクト窓を形成する工程と、配線金属を形成する工程とを有することを特徴とする半導体不揮発性記憶素子の製造方法。

【請求項5】 情報の読み出し電圧に対し、書き込み電圧を十分に高くすることを特徴とする半導体不揮発性記憶素子の書き込み方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体不揮発性記憶素子とその製造方法とこの半導体不揮発性記憶素子の書き込み方法とに関し、とくに、高集積化を図ることができる半導体不揮発性記憶素子の構造と、その製造方法と、この半導体不揮発性記憶素子の書き込み方法とに関するものである。

【0002】

【従来の技術】 一般に、不揮発性記憶素子の情報の書換え、読み出しにMOSトランジスタが必要なために、同一の素子領域内にMOSトランジスタとメモリトランジスタとを形成する。この不揮発性記憶素子の製造工程において、MOSトランジスタのMOSゲート電極とメモリトランジスタのメモリゲート電極との形成方法は次に記すゲート電極形成工程を行う。

【0003】 従来例における共通ソースの両側にMOSゲート電極とメモリゲート電極とを形成するときの不揮発性記憶素子の製造工程を、図6～図9の断面図を用いて説明する。

【0004】 まず図6に示すように、第1導電型の半導体基板9のフィールド領域15に、選択酸化法を用いてフィールド酸化膜10を形成する。次に、素子領域14にゲート酸化膜20を形成し、第1の多結晶シリコン膜21を形成する。

【0005】 次に図7に示すように、レジスト16を形成し、このレジスト16をマスクに第1の多結晶シリコン膜21とゲート酸化膜20とをエッチングする、いわゆるホットエッチング技術により第1の多結晶シリコン膜21からなるMOSゲート電極22を形成する。

【0006】 その後、図8に示すように、全面にメモリ酸化膜5と、ナイトライド膜6と、このナイトライド膜6を酸化したトップ酸化膜7とを形成し、さらに全面に第2の多結晶シリコン膜23を形成する。その後、第2の多結晶シリコン膜23上にレジスト16を形成する。

【0007】 次に図9に示すように、ホットエッチング技術によりMOSゲート電極22に重なるように形成したレジスト16をマスクにして、第2の多結晶シリコン膜23からなるメモリゲート電極1を形成する。次に、MOSゲート電極22とメモリゲート電極1とをマスク

に、ソースとドレインとなる第2導電型の高濃度不純物層11を半導体基板9に形成し、メモリトランジスタとMOSトランジスタとを備える不揮発性記憶素子を形成する。このとき2つのMOSゲート電極22の間の高濃度不純物層11が共通ソース24となる。

【0008】

【発明が解決しようとする課題】 この従来の半導体不揮発性記憶素子は、MOSトランジスタとメモリトランジスタとが混在するため、高集積化が難しい。また、MOSゲート電極22間に高濃度不純物層11からなる共通ソース24を形成するが、この共通ソース24は半導体

(3)

3

基板9中に形成した拡散層であるため、微細化すると高抵抗となり高集積化に対して不利であるという課題を生じる。

【0009】本発明の目的は、上記課題を解決して、高集積化を可能とした半導体不揮発性記憶素子の構造と、その製造方法と、この半導体不揮発性記憶素子の書き込み方法とを提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明においては、下記記載の半導体不揮発性記憶素子の構造と、その製造方法と、この半導体不揮発性記憶素子の書き込み方法とを採用する。

【0011】本発明の半導体不揮発性記憶素子の構造は、第1導電型の半導体基板の素子領域に設ける第2導電型の拡散層に接続する多結晶シリコン膜と金属シリサイド膜とからなる共通ソースと、この共通ソースの側壁に設けるメモリゲート電極とを有することを特徴とする。

【0012】本発明の半導体不揮発性記憶素子の構造は、第1導電型の半導体基板の素子領域に設ける第2導電型の拡散層に接続する多結晶シリコン膜からなる共通ソースと、この共通ソースの側壁に設けるメモリゲート電極とを有することを特徴とする。

【0013】本発明の半導体不揮発性記憶素子の製造方法は、第1導電型の半導体基板の素子領域の周囲のフィールド領域にフィールド酸化膜を形成し、全面に多結晶シリコン膜と金属シリサイド膜とを形成し、ホットエッチング技術により共通ソースを形成する工程と、メモリ酸化膜とナイトライド膜とトップ酸化膜とからなる三層絶縁膜を形成し、全面にポリシリコン膜を形成する工程と、異方性ドライエッチング技術により、ポリシリコン膜をエッチングし、共通ソースの両側壁にメモリゲート電極を形成する工程と、メモリゲート電極との整合した領域の素子領域に高濃度不純物層を形成する工程と、全面に高融点金属膜を形成し、その後熱処理を行い、高濃度不純物層のシリコンと高融点金属膜とを反応させ、さらにメモリゲート電極のポリシリコン膜と高融点金属膜とを反応させシリサイド膜を形成する工程と、未反応の高融点金属膜を除去する工程と、二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程と、ホットエッチング技術により多層配線用絶縁膜にコンタクト窓を形成する工程と、配線金属を形成する工程とを有することを特徴とする。

【0014】本発明の半導体不揮発性記憶素子の製造方法は、第1導電型の半導体基板の素子領域の周囲のフィールド領域にフィールド酸化膜を形成し、全面に多結晶シリコン膜と金属シリサイド膜とを形成し、ホットエッチング技術により共通ソースを形成する工程と、メモリ酸化膜とナイトライド膜とトップ酸化膜とからなる三層絶縁膜を形成し、全面にポリシリコン膜を形成する工程

4

と、異方性ドライエッチング技術により、ポリシリコン膜をエッチングし、共通ソースの両側壁にメモリゲート電極を形成する工程と、メモリゲート電極との整合した領域の素子領域に高濃度不純物層を形成する工程と、二酸化シリコン膜を主体とする多層配線用絶縁膜を形成する工程と、ホットエッチング技術により多層配線用絶縁膜にコンタクト窓を形成する工程と、配線金属を形成する工程とを有することを特徴とする。

【0015】本発明の半導体不揮発性記憶素子の書き込み方法は、情報の読み出し電圧に対し、書き込み電圧を充分に高くすることを特徴とする。

【0016】

【実施例】以下図面を用いて本発明の実施例を説明する。

【0017】まず、はじめに図1を用いて本発明における半導体不揮発性記憶素子の構造を説明する。

【0018】金属シリサイド膜2と多結晶シリコン膜3との積層膜からなる共通ソース4を設ける。この共通ソース4の側壁の両側にメモリゲート電極1を設ける。この共通ソース4とメモリゲート電極1との整合した領域の半導体基板9にドレインとなる高濃度不純物層11を設ける。さらに共通ソース4の下の半導体基板9に、この共通ソース4と半導体基板9とを接続する拡散層12を設ける。共通ソース4は、多結晶シリコン膜3のみでも良い。

【0019】このように構成した不揮発性記憶素子においては、共通ソース4としては、多結晶シリコン膜3、あるいは金属シリサイド2と多結晶シリコン膜3との積層膜から構成するため、従来の半導体基板に形成した共通ソースと比べ低抵抗とすることができ、微細化が可能である。

【0020】また、このように構成した不揮発性記憶素子のメモリ絶縁膜は、メモリ酸化膜5と、ナイトライド膜6と、トップ酸化膜7との三層膜から構成するため、ナイトライド膜6中にトラップされる電荷によりメモリ特性を示す。

【0021】したがって、メモリ酸化膜5とトップ酸化膜7とを構成するシリコン酸化膜の禁制帯幅は、ナイトライド膜6の禁制帯幅に比較して大きい。このため、メモリ酸化膜5とトップ酸化膜7であるシリコン酸化膜は、ナイトライド膜6から見た場合、電子および正孔に対して障壁として作用する。

【0022】したがって、書き込みが生じない電圧である読み出し電圧をメモリゲート電極1に印加し、データの読み出しを行うことにより、従来必要であったMOSゲート電極が不要となり高集積化が達成できる。

【0023】すなわち本発明の半導体不揮発性記憶素子の情報の書き込み方法は、情報の読み出し電圧に対して書き込み電圧を充分高くして行う。

【0024】次に、この構造を形成するための製造方法

(4)

5

を説明する。図2～図5は、本発明の不揮発性記憶素子の構造を製造するための製造方法を工程順に示す断面図である。

【0025】まず図2に示すように、第1導電型であるP型の半導体基板9の素子領域14の周囲のフィールド領域15に、選択酸化処理を行うことにより、フィールド酸化膜10を700nmの厚さで形成する。

【0026】次に、全面にモノシラン雰囲気中で化学気相成長法（以下CVD法と記す）によって高濃度のリン（P）を含んだ多結晶シリコン膜3を、300nm程度の厚さで形成する。さらにこの多結晶シリコン膜3の上に、スパッタリング法によってタングステンシリサイド膜からなる金属シリサイド膜2を200nm程度の膜厚で形成する。

【0027】次に共通ソース4を形成する領域にレジスト16を形成する。その後、このレジスト16をエッチングのマスクとし、エッチングガスとして、六フッ化イオウ（ SF_6 ）と酸素（ O_2 ）との混合ガスを用いたドライエッチングにより、金属シリサイド膜2と、多結晶シリコン膜3とをエッチングする。この結果、金属シリサイド膜2と多結晶シリコン膜3とからなる共通ソース4を形成する。

【0028】次に、図3に示すように、酸素と窒素の混合気体中で酸化処理を行い、厚さ2nm程度の二酸化シリコン膜からなるメモリ酸化膜5を形成する。このメモリ酸化膜5を形成する酸化処理により、半導体基板9に拡散層12を形成する。この拡散層12は、高濃度にリンを含む多結晶シリコン膜3から、不純物を半導体基板9に拡散して形成する。

【0029】次に、このメモリ酸化膜5上の全面にCVD法によって、窒化シリコン膜からなるナイトライド膜6を9nm程度の厚さで形成する。

【0030】さらに酸化雰囲気中で酸化処理を行い、ナイトライド膜6を酸化して、このナイトライド膜6上にトップ酸化膜7を形成する。

【0031】次に、モノシラン雰囲気中でCVD法によって、全面にポリシリコン膜17を400nm程度の厚さで形成する。

【0032】次に、図4に示すように、エッチングガスとして SF_6 と O_2 との混合ガスを用いた異方性ドライエッチングにより、ポリシリコン膜17と、トップ酸化膜7と、ナイトライド膜6と、メモリ酸化膜5とをエッチングする。

【0033】この結果、共通ソース4の側壁の両側に、ポリシリコン膜17からなるメモリゲート電極1を形成する。

【0034】次に、共通ソース4とメモリゲート電極1とをマスクに、砒素を60keVの加速エネルギーで、 $0 \times 10^{15} \text{ atoms/cm}^2$ 程度のイオン注入量でイオン注入することによって、半導体基板9に第2導電型

6

であるN型のドレインとなる高濃度不純物層11を形成する。

【0035】次に、スパッタリング法によって、全面にチタン（Ti）膜を100nm程度の厚さで形成する。

【0036】その後、窒素雰囲気中で温度600℃で熱処理を行い、チタン膜と半導体基板9のシリコン、およびチタン膜とメモリゲート電極1のポリシリコンとを反応させて、高濃度不純物層11とメモリゲート電極1との表面にシリサイド膜8を形成する。

【0037】次に、水酸化アンモニウム（ NH_4OH ）と過酸化水素（ H_2O_2 ）との混合溶液を用いて、未反応のチタン膜をエッチングして除去する。

【0038】次に、図5に示すように二酸化シリコン膜を主体とする多層配線用絶縁膜12を形成し、ホットエッチング技術を用いてコンタクト窓18を形成し配線金属13としてアルミニウムを形成することによって不揮発性記憶素子が得られる。

【0039】これまで述べてきた実施例においては、共通ソース4として金属シリサイド膜2と多結晶シリコン膜3とから構成するものを示したが、共通ソース4として金属膜、金属シリサイド膜、多結晶シリコン膜のみから構成することもできる。

【0040】また、ドレインとなる高濃度不純物層11とメモリゲート電極1表面にチタン膜のシリサイド膜8を形成する実施例で説明したが、シリサイド膜8を形成せず高濃度不純物層11とメモリゲート電極1のみでも、本発明と同様な効果を有する不揮発性記憶素子を得ることができる。

【0041】

【発明の効果】本発明においては、共通ソースを多結晶シリコン膜と金属シリサイド膜との積層膜や低抵抗な多結晶シリコン膜などで構成し、共通ソースを低抵抗とすることにより、従来の拡散層による共通ソースと比べ、微細化が可能である。さらに、共通ソースを自己整合として、この共通ソースの両側にメモリゲート電極を形成するため、従来のホトリソ技術を用いたメモリゲート電極の形成より微細化が可能である。また、情報の読み出し電圧に対し、書き込み電圧を十分に高くすることにより、従来必要であったMOSゲート電極が不要となり、高集積化が容易である。以上の結果、形成工程が簡単で、高集積化を実現する不揮発性記憶素子が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体不揮発記憶素子の構造を示す断面図である。

【図2】本発明の一実施例における半導体不揮発記憶素子の製造方法を示す断面図である。

【図3】本発明の一実施例における半導体不揮発記憶素子の製造方法を示す断面図である。

【図4】本発明の一実施例における半導体不揮発記憶素子の製造方法を示す断面図である。

(5)

7

【図5】本発明の一実施例における半導体不揮発記憶素子の製造方法を示す断面図である。

【図6】従来例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図7】従来例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図8】従来例における半導体不揮発性記憶素子の製造方法を示す断面図である。

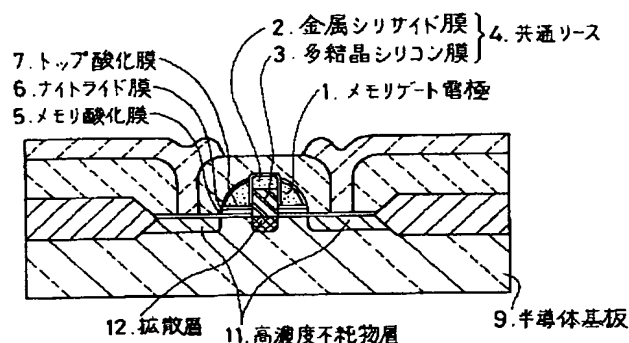
【図9】従来例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【符号の説明】

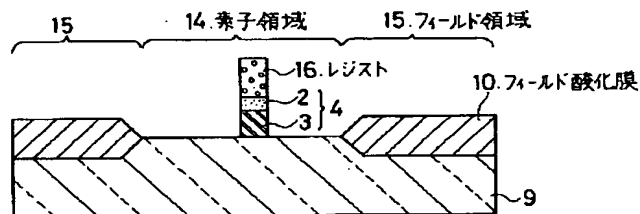
- 1 メモリゲート電極
2 金属シリサイド膜
3 多結晶シリコン膜
4 共通ソース
5 メモリ酸化膜
6 ナイトライド膜
7 トップ酸化膜
10 フィールド酸化膜
11 高濃度不純物層
12 拡散層
17 ポリシリコン膜

8

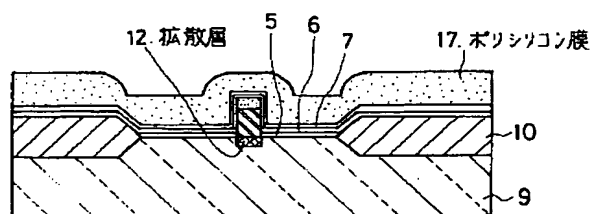
【図1】



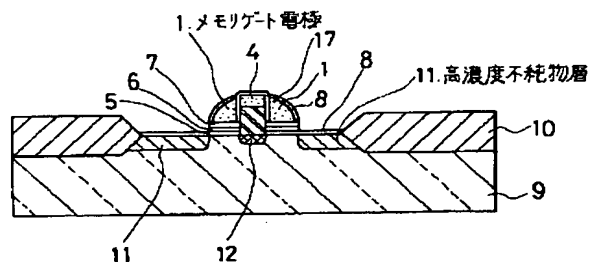
【図2】



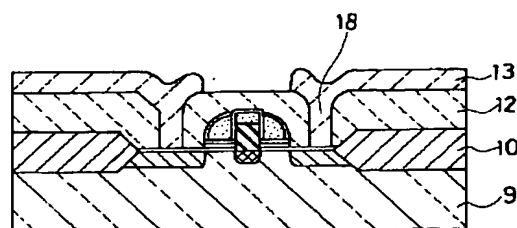
【図3】



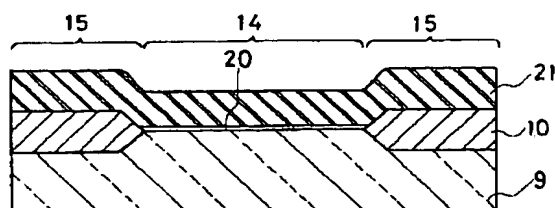
【図4】



【図5】

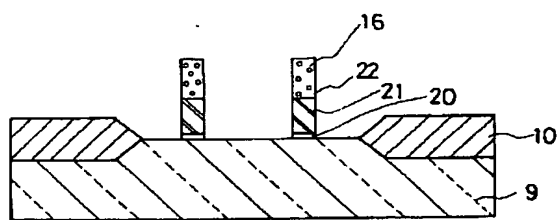


【図6】

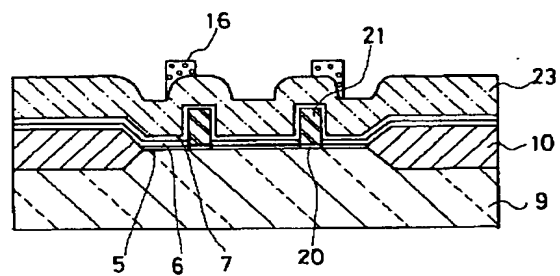


(6)

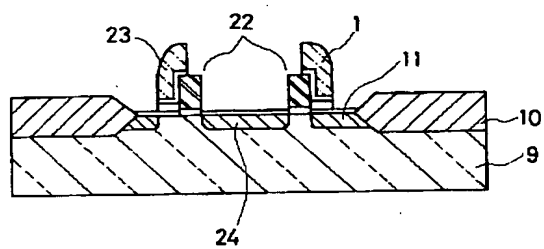
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 5

G 1 1 C 16/04

H 0 1 L 21/302

識別記号

庁内整理番号

F I

技術表示箇所

F 7353-4M